

Helmut Bähring

Mikrorechner- Technik

Band I
Mikroprozessoren
und Digitale Signalprozessoren

Dritte, vollständig überarbeitete Auflage
Mit 251 Abbildungen und 57 Tabellen



Springer

Dr. Helmut Bähring
Fernuniversität Hagen
Technische Informatik
Postfach 940
58084 Hagen
helmut.baehring@fernuni-hagen.de

Die Deutsche Bibliothek – CIP-Einheitsaufnahme
Bähring, Helmut: Mikrorechner-Technik/Helmut Bähring.

(Springer-Lehrbuch)
2. Aufl. u.d.T.: Mikrorechner-Systeme
Bd. 1. Mikroprozessoren und digitale Signalprozessoren: 57 Tabellen.
3., vollst. überarb. Aufl. – 2002
ISBN 978-3-540-41648-7 ISBN 978-3-662-12500-7 (eBook)
DOI 10.1007/978-3-662-12500-7

Dieses Werk ist urheberrechtlich geschützt. Die dadurch begründeten Rechte, insbesondere die der Übersetzung, des Nachdrucks, des Vortrags, der Entnahme von Abbildungen und Tabellen, der Funksendung, der Mikroverfilmung oder der Vervielfältigung auf anderen Wegen und der Speicherung in Datenverarbeitungsanlagen, bleiben, auch bei nur auszugsweiser Verwertung, vorbehalten. Eine Vervielfältigung dieses Werkes oder von Teilen dieses Werkes ist auch im Einzelfall nur in den Grenzen der gesetzlichen Bestimmungen des Urheberrechtsgesetzes der Bundesrepublik Deutschland vom 9. September 1965 in der jeweils geltenden Fassung zulässig. Sie ist grundsätzlich vergütungspflichtig. Zuwiderhandlungen unterliegen den Strafbestimmungen des Urheberrechtsgesetzes.

© Springer-Verlag Berlin Heidelberg 1991,1994,2002
Ursprünglich erschienen bei Springer-Verlag Berlin Heidelberg New York 2002

Die Wiedergabe von Gebrauchsnamen, Handelsnamen, Warenbezeichnungen usw. in diesem Werk berechtigt auch ohne besondere Kennzeichnung nicht zu der Annahme, dass solche Namen im Sinne der Warenzeichen- und Markenschutz-Gesetzgebung als frei zu betrachten wären und daher von jedermann benutzt werden dürften.

Umschlaggestaltung: design & production GmbH, Heidelberg
Satz: Belichtungsfertige Daten vom Autor
Gedruckt auf säurefreiem Papier – SPIN: 10794693 33/3142 GF 543210

Für Hildegard und Marc

Vorwort

In den wenig mehr als 30 Jahren ihrer Entwicklungsgeschichte haben die Mikroprozessoren alle Bereiche unseres Lebens durchdrungen: Sie begegnen uns in den frühen Lebensjahren in Kinderspielzeugen, in Spiele-Consolen und Taschenrechnern. Im Privatleben trifft man auf sie im Automobil, in Haushaltsgeräten oder Geräten der Konsumelektronik. Im Berufsleben findet man sie in Textsystemen, Personal Computern, Maschinensteuerungen, Meßgeräten usw. Verschwiegen werden darf dabei aber auch nicht, daß die Mikroprozessoren erst die Entwicklung vieler zerstörerischer Techniken, insbesondere immer furchtbarer Waffen ermöglicht haben.

Durch den Einsatz der Mikroprozessoren wurde die Digitaltechnik zu einer Mischung aus Hard- und Software, bei welcher der Entwickler einerseits die geeignete Hardware aussuchen und aufbauen, andererseits aber auch ihre Programmierung übernehmen muß. Vom Informatik- und Elektrotechnik-Studenten wird daher ein vertieftes Wissen auf beiden Gebieten verlangt.

Thema dieses Buches sind die Mikrorechner – und dabei besonders die Hardwareaspekte und die hardwarenahen Softwareaspekte. Natürlich nimmt die Beschreibung der Mikroprozessoren als Kern eines Mikrorechners einen breiten Raum ein. Dennoch ist dieses Buch kein Werk ausschließlich über dieses Thema: Zusätzlich werden die modernen Bussysteme, der Arbeitsspeicher und die verschiedenen Systemsteuer- und Schnittstellenbausteine ausführlich beschrieben.

Die erste Auflage dieses Buches erschien 1991 fast zeitgleich zum 20. Geburtstag des Mikroprozessors. Die zweite Auflage aus dem Jahr 1994 konzentrierte sich auf kleinere Anpassungen an den fortgeschrittenen Stand der Technik und die Behebung einiger Druckfehler. Die vorliegende dritte Auflage folgt nun mit einem Jahr Verspätung dem 30. Geburtstag des Mikroprozessors. In den dazwischen liegenden Jahren hat sich die Mikrorechner-Technik so rasant weiter entwickelt, daß eine inhaltliche Neuorientierung – und damit eine Anpassung des Buchtitels – gegenüber den vorhergehenden Auflagen nötig war.

Peripheriegeräte, wie Monitore und Festplattensysteme, die in den beiden ersten Auflagen noch behandelt wurden, werden in dieser Neuauflage nicht mehr berücksichtigt; die auf diesem Gebiet zu beobachtenden Neu- und Weiterentwicklungen geben genügend Stoff für ein eigenes Buch und konnten daher nicht mehr in dieses Lehrbuch aufgenommen werden. Besondere Beachtung finden nun die speziellen Komponenten und Maßnahmen, die zur enormen Leistungssteigerung der modernen Prozessoren geführt haben. Neu hinzugekommen sind außerdem ausführliche Beschreibungen von Digitalen Signalprozessoren und Mikrocontrollern. In einem weiteren Kapitel werden die momentan wichtigsten parallelen und seriellen Busse erklärt.

Bei der Auswahl der einzelnen Themen und der darin behandelten Verfahren und Realisierungen wurde versucht, den aktuellen Stand der Mikrorechner-Technik darzustellen¹. Es werden hauptsächlich „Produkte“ beschrieben, die bereits verfügbar sind und sich auf dem Markt durchgesetzt haben. Dagegen werden Lösungen, deren Einsatz erst in der Zukunft erfolgen wird oder zu erwarten ist, nur am Rande behandelt. Prognosen darüber, welche der dargestellten Lösungen sich in der Zukunft durchsetzen oder wie bestimmte Entwicklungen verlaufen werden, wurden bewußt vermieden; die Erfahrungen der Vergangenheit zeigen, daß sich auch die größten Experten bei solchen Voraussagen stark irren können.

Zur Entstehung des Buches

Dieses Buch entstand aus einem Kurs, den ich für den Fachbereich Informatik der FernUniversität Hagen entwickelt und dort seit vielen Jahren für Tausende von Studierenden durchgeführt habe. Die überaus positive Resonanz, die der Kurs bei den TeilnehmerInnen fand, war der auslösende Faktor für die Erstellung dieses Buches.

Bei der Entwicklung des Kurses – wie auch dieses Buches – wurde versucht, auf die besonderen Schwierigkeiten eines Fern-Studierenden Rücksicht zu nehmen, der in der Regel „als Einzelkämpfer im stillen Kämmerchen“ arbeitet. Dazu gehört insbesondere der erschwerte Zugang zu Begleitliteratur. Dementsprechend wurde auf das ausgiebige Zitieren anderer Publikationen verzichtet.

Eingeschränkte Möglichkeiten der Kommunikation mit anderen KommilitonInnen behindern bei Fern-Studierenden die Diskussion über schwer verständliche Textstellen. Im Buch werden relativ wenige Themen aufgegriffen. Was jedoch viele Bücher sehr knapp abhandeln, wird hier ausführlich, z.T. über viele Seiten, dargestellt. Dies erspart dem Benutzer das Lesen „zwischen den Zeilen“. Einer eingehenden, tiefgründigen Behandlung weniger Themen wird also der Vorrang vor einer breitgefächerten Darstellungsweise gegeben. Im Vordergrund stehen dabei die allen Realisierungen gemeinsamen Konzepte und Entwicklungstendenzen. Auf spezielle Produkte und Realisierungen wichtiger Hardware-Hersteller wird in durchgängigen Fallstudien eingegangen. Untergeordnete Themen, die von geringerer Bedeutung sind, vom Hauptthema abweichen oder sehr stark in die „Tiefe“ gehen, werden in Exkursen abgehandelt.

Aufgrund dieser Konzeption eignet sich dieses Buch sehr gut für das Selbststudium. Es richtet sich hauptsächlich an Studenten der Fachrichtungen Informatik und Elektrotechnik an wissenschaftlichen Hochschulen und Fachhochschulen. Ich würde mich freuen, wenn dieses Buch – ebenso wie die beiden vorhergehenden Auflagen – an vielen dieser Hochschulen als Grundlage oder Begleitliteratur für Vorlesungen zum Thema „Mikrorechner“ eingesetzt wird². Für das Verständnis des Buches sind Grundkenntnisse auf den folgenden Gebieten von Vorteil: digitale Grundschaltungen und Schaltungstechnik, Organisation von Rechenwerken und Mikroprogramm-Steuerwerke, Assembler- und Maschinenprogrammierung sowie einfache Grundlagen der Elektrotechnik.

¹ Bei der rasanten Entwicklung auf diesem Gebiet ist dies schon ein hehres Anliegen, denn einige der dargestellten Produkte und Sachverhalte werden sicher bereits ‚veraltet‘ sein, wenn dieses Buch erscheint.

² Dozenten können vom Autor begleitendes Material zur Gestaltung einer Vorlesung erhalten.

Zum Aufbau des Buches

Um dem Buch ein ‚handliches‘ Format zu geben, wurde es in zwei Bände aufgeteilt. Die Kapitel der beiden Bände werden getrennt – jeweils mit 1 beginnend – durchnummeriert. Wird auf ein Kapitel, einen Abschnitt oder einen Unterabschnitt im jeweils anderen Band verwiesen, so wird der Bezeichnung die Nummer des Bandes (I oder II) vorangestellt. So bezieht sich z.B. ein Verweis der Form

- „s. Abschnitt II.3.4“ in Band I auf Abschnitt 3.4 von Band II;
- „vgl. Unterabschnitt I.2.1.2“ in Band II auf Unterabschnitt 2.1.2 von Band I.

Band I befaßt sich mit den „zentralen Recheneinheiten“ der Mikrorechner, den Mikroprozessoren. Ferner werden mit den universellen Prozessoren und den Digitalen Signalprozessoren die wichtigsten Mikroprozessor-Typen ausführlich beschrieben.

Band II beschreibt im Detail die weiteren Komponenten eines Mikrorechners. Dazu gehören die Busse als „Verbindungswege“ zwischen allen Komponenten, der Arbeitsspeicher sowie die Steuer- und Schnittstellenbausteine. Zum Abschluß werden die Mikrocontroller behandelt – also Bausteine, die einen vollständigen Mikrorechner auf einem einzigen Halbleiterchip zur Verfügung stellen.

Inhalt von Band I

Kapitel 1 beginnt mit einer kurzen Erklärung der wichtigsten in der Mikrorechner-Technik benutzten Begriffe und einer knappen Darstellung der Entwicklungsgeschichte der Mikroprozessoren. Danach wird übersichtsartig die Basisarchitektur eines einfachen Mikroprozessors beschrieben, wie er auch heute noch als „Kern“ in kostengünstigen Mikrocontroller eingesetzt wird. Unter der Basisarchitektur versteht man dabei die Komponenten des Controllers und ihr Zusammenwirken.

In Kapitel 2 werden die Prozessorkomponenten detailliert beschrieben. Dazu gehören das Steuerwerk, das Adreßwerk, das Operationswerk, der Registersatz und die Systembusschnittstelle. Ein Schwerpunkt wird auf der Behandlung von Programmunterbrechungen liegen. Obwohl bei der Beschreibung grundsätzlich von der Architektur des oben erwähnten einfachen Mikroprozessors ausgegangen wird, werden auch Komponenten und Techniken vorgestellt, die erst in den modernen Hochleistungsprozessoren zu finden sind.

Kapitel 3 behandelt mit der Hardware/Software-Schnittstelle die programmieretechnischen Aspekte eines Mikroprozessors. Hierzu gehören die Datentypen mit ihren unterschiedlichen Formaten, die Adressierungsarten sowie die Befehlssätze.

Kapitel 4 befaßt sich mit der Weiterentwicklung der bereits beschriebenen einfachen Mikroprozessoren zu den heutigen Hochleistungsprozessoren. Es werden ausführlich die Komponenten und Entwicklungen besprochen, die zur enormen Leistungssteigerung beigetragen haben: Zunächst wird gezeigt, wie durch kleine, schnelle Zwischenspeicher, die Caches genannt werden, die Zugriffszeit zum Arbeitsspeicher erheblich gesenkt wird. Weitere Themen sind die Bearbeitung der Befehle in der Art eines oder mehrerer parallel arbeitender Fließbänder (*Pipeline*), die Vorhersage von Sprungzielen und die Befehlsbearbeitung außerhalb der durch das Programm gegebenen Reihenfolge. Das Kapitel wird mit einer Kurzdarstellung einiger wichtiger Vertreter aus der Klasse der Hochleistungsprozessoren beschlossen.

Kapitel 5 behandelt verschiedene Konzepte der Speicher- und Prozeßverwaltung. Es stellt Bausteine vor, die ein Mikroprozessor-Betriebssystem bei diesen Verwaltungsaufgaben hardwaremäßig unterstützen. (Die ursprüngliche Fassung dieses Kapitels stammte von Herrn Dr. J. Dunkel. Sie wurde für diese Neuauflage des Buches gründlich überarbeitet und erweitert.)

Kapitel 6 beschäftigt sich abschließend mit einer wichtigen Klasse von „anwendungsorientierten“ Mikroprozessoren, den Digitalen Signalprozessoren (DSP). Es zeigt, wie sie durch spezielle Hardware-Komponenten und daran angepaßte Befehlsätze für die Berechnung von Algorithmen der digitalen Verarbeitung analoger Signale prädestiniert sind. Die große Vielzahl an realisierten Lösungswegen erschwert eine allgemeine Darstellung der Hardware-Komponenten im DSP-Bereich. Daher wird in einem Exkurs sehr ausführlich auf einen typischen DSP der mittleren Leistungsklasse eingegangen. Zum Abschluß des Kapitels werden Hochleistungs-DSPs behandelt und einige Entwicklungstrends aufgezeigt.

Inhalt von Band II

Das Kapitel 1 des zweiten Bandes beschäftigt sich zunächst mit den allgemeinen Konzepten der Realisierung von Bussystemen. Danach werden die wichtigsten Busse vorgestellt, die im Personal-Computer-Bereich eingesetzt werden. Dazu gehören die parallelen Lösungen PCI-Bus und SCSI-Bus sowie die modernen seriellen Busse USB und FireWire. Zum Schluß des Kapitels wird mit dem CAN-Bus ein erfolgreiches Bussystem zur Kopplung von Mikrocontrollern vorgestellt.

In Kapitel 2 werden der Aufbau und die Organisation des Arbeitsspeichers ausführlich behandelt. Zunächst werden die unterschiedlichen Halbleiter-Speicherzellen und -Bausteine zur Realisierung von Festwert- und Schreib/Lese-Speichern beschrieben. Ein weiterer Abschnitt befaßt sich mit Aufbau und Funktion von speziellen Bausteinen zur Steuerung dynamischer Speichermodule, den Speichercontrollern.

In Kapitel 3 wird eine umfangreiche Palette von Systemsteuer- und Schnittstellen-Bausteinen vorgestellt. In Beispielen werden wichtige Anwendungen dieser Bausteine beschrieben. Dargestellt wird insbesondere auch das sog. DMA-Verfahren, mit dem große Datenmengen ohne den Einsatz des Mikroprozessors sehr schnell in den bzw. aus dem Speicher transportiert werden können.

Das letzte Kapitel 4 befaßt sich mit den Mikrocontrollern – vollständigen Mikrorechnern auf einem einzigen Halbleiterchip – und ihren spezifischen Eigenschaften. Dabei handelt es sich um Bausteine, die neben einem Mikroprozessor und Speichermodulen eine mehr oder weniger große Anzahl der in Kapitel 3 beschriebenen Komponenten enthalten. In Exkursen wird über die Möglichkeit informiert, wie Mikrocontroller getestet und Fehler in der Software gefunden werden können. Der Hauptteil dieses Kapitels ist der Beschreibung von typischen Produktbeispielen aus verschiedenen Leistungsklassen gewidmet. Abschließend wird dargestellt, wie moderne Digitale Signalprozessoren durch Integration einer immer größeren Anzahl von Peripheriekomponenten zu sog. Digitalen Signalcontrollern weiterentwickelt werden, die in vielen Anwendungen die Aufgaben der herkömmlichen Mikrocontroller übernehmen können.

Danksagung

An dieser Stelle möchte ich mich bei meiner Familie für das große Verständnis bedanken, mit dem sie mich während der Erstellung dieses Buches begleitet hat. An vielen Abenden und Wochenenden mußte sie sich mit einem Familienmitglied abfinden, das zwar physisch anwesend, aber nicht ansprechbar war. Weiterhin gilt mein Dank meinem Kollegen, Herrn Udo Hönig, der das Manuskript mit äußerster Gründlichkeit gelesen und mir wertvolle Tips und Korrekturenhinweise gegeben hat. Für Fehler, die dennoch im Buch zu finden sein werden, trage ich die alleinige Verantwortung. Im voraus möchte ich mich auch bei den Lesern bedanken, die mir diese Fehler melden und so an einer Verbesserung der nächsten Auflage teilhaben. Dem Springer-Verlag danke ich für die freundliche Unterstützung und die Bereitschaft, auch die dritte Auflage dieses Buches in sein Verlagsprogramm aufzunehmen.

Hemer, im Sommer 2002

Helmut Bähring

Inhaltsverzeichnis

1. Grundlagen	1
1.1 Aufbau eines Digitalrechners	1
1.1.1 Einführung	1
1.1.2 Erklärung wichtiger Begriffe	5
1.1.3 Zur Abgrenzung zwischen CISC- und RISC-Prozessoren	8
1.1.4 Exkurs: Zu den Begriffen bit und byte	12
1.2 Entwicklungsgeschichte der Mikroprozessoren	13
1.2.1 Die verschiedenen Prozessor-Generationen	13
1.2.2 Technologische Entwicklungen	18
1.3 Basisarchitektur eines Mikroprozessors	22
1.3.1 Gehäuse und Anschlüsse	22
1.3.2 Exkurs: Zur Beschreibung von Signalen und Steuerbits	28
1.3.3 Interner Aufbau	28
2. Komponenten eines Mikroprozessors	31
2.1 Steuerwerk	31
2.1.1 Funktion und Aufbau	31
2.1.2 Ein-/Ausgangssignale	37
2.1.3 Das Steuerregister	40
2.1.4 Fallstudie: Das Steuerwerk des Motorola MC68000	41
2.1.5 Fallstudie: Das Steuerwerk des Intel 80486	43
2.2 Ausnahmebehandlung	44
2.2.1 Ausnahmeroutinen	45
2.2.2 Prozessorexterne Ursachen für Ausnahmesituationen	47
2.2.3 Prozessorinterne Ursachen für Ausnahmesituationen	50
2.2.4 Ermittlung der Startadresse einer Ausnahmeroutine	52
2.2.5 Die Behandlung mehrerer Interruptquellen	53
2.2.6 Prioritäten bei mehrfachen Unterbrechungen	59
2.2.7 Exkurs: Interruptkontrolle der Prozessoren MC680x0	60
2.3 Adreßwerk	63
2.4 Operationswerk	67
2.4.1 Integer-Rechenwerke	67
2.4.2 Barrel Shifter	78
2.4.3 Multiplizier-Akkumulier-Rechenwerke	80

2.4.4	Gleitpunkt-Rechenwerke.....	81
2.4.5	Multimedia-Rechenwerke	84
2.5	Registersatz	88
2.5.1	Registertypen.....	88
2.5.2	Stack und Stackregister	93
2.5.3	Registersätze realer Mikroprozessoren.....	94
2.5.4	Registerspeicher	102
2.6	Systembusschnittstelle	110
2.6.1	Aufbau.....	110
2.6.2	Exkurs: Realisierung der Busankopplung	112
2.6.3	Zeitverhalten der Systembus-Signale	114
2.6.4	Busse mit Paketübertragung.....	125
2.6.5	Multiplexbus.....	127
2.6.6	Steuerung der Datenbusbreite	129
2.6.7	Adressierung von Peripheriebausteinen	131
2.6.8	Weitere Signale der Systembusschnittstelle.....	132
2.6.9	Aufbau und Funktion eines Systembus-Controllers.....	137
3.	Hardware/Software-Schnittstelle	141
3.1	Datentypen und Datenformate	141
3.1.1	Datentypen und Datenformate von 8-bit-Prozessoren.....	142
3.1.2	Datentypen und Datenformate von 16/32-bit-Prozessoren.....	144
3.1.3	Exkurs: IEEE-754-Standard	145
3.1.4	Bit- und blockorientierte Datentypen und ihre Formate.....	149
3.1.5	Weitere Datentypen und Datenformate	151
3.2	Befehlssätze	154
3.2.1	Begriffe und Definitionen	156
3.2.2	Realisierung eines Maschinenbefehlssatzes	158
3.2.3	Darstellung der verschiedenen Befehlsgruppen	166
3.3	Adressierungsarten.....	197
3.3.1	Voraussetzungen und Begriffe	197
3.3.2	Beschreibung der wichtigsten Adressierungsarten.....	200
3.3.3	Minimaler Satz von Adressierungsarten.....	215
4.	Moderne Hochleistungsprozessoren	217
4.1	Prinzipieller Aufbau	217
4.1.1	Fallstudie: Motorola MC68040.....	222
4.1.2	Fallstudie: Motorola MC88110	223
4.2	Cache-Speicher	224
4.2.1	Motivation	224
4.2.2	Funktionsweise eines Caches	226
4.2.3	Aufbau eines Cache-Speichers.....	229
4.2.4	Anbindung des Caches an den Systembus	237
4.2.5	Steuer- und Statussignale des Cache-Controllers.....	239

4.2.6	Systembusüberwachung zur Kohärenz-Erhaltung.....	240
4.2.7	MESI-Kohärenzprotokoll.....	241
4.2.8	Realisierte Cache-Speicher.....	246
4.3	Fließbandverarbeitung.....	248
4.3.1	Grundprinzip	248
4.3.2	Pipelinehemmnisse.....	251
4.3.3	Beispiele für realisierte Pipelines	258
4.4	Superskalarität.....	260
4.4.1	Parallel-Pipelines.....	260
4.4.2	Statische Befehlszuteilung	261
4.4.3	Dynamische Befehlszuteilung	262
4.5	Verzweigungsvorhersage	264
4.5.1	Statische Vorhersagen	265
4.5.2	Dynamische Vorhersage.....	265
4.6	Spekulative und ungeordnete Befehlsausführung	271
4.7	Architektur der x86-kompatiblen Prozessoren	275
4.7.1	Grundlagen.....	275
4.7.2	Fallstudie: Pentium III von Intel.....	277
4.7.3	Fallstudie: Trace (Execution) Cache des Intel Pentium 4	280
4.7.4	Fallstudie: Athlon von AMD.....	282
5.	Speicher- und Prozeßverwaltung	285
	(Überarbeitung und Erweiterung eines Textbeitrags von Dr. J. Dunkel)	
5.1	Einleitung.....	285
5.1.1	Ziele von Betriebssystemen.....	286
5.1.2	Spezielle Aufgaben von Betriebssystemen.....	289
5.2	Einführung in die Speicherverwaltung.....	292
5.2.1	Virtuelle Speicher.....	292
5.2.2	Segmentierungs- und Seitenwechselperfahren	294
5.2.3	Probleme der virtuellen Speicherverwaltung	294
5.3	Segmentorientierte Speicherverwaltung.....	300
5.3.1	Adressierung durch Segmentregister.....	300
5.3.2	Adressierungsmodi.....	305
5.3.3	Segment-Deskriptoren und Segment-Deskriptor-Tabellen	307
5.4	Seitenorientierte Speicherverwaltung.....	314
5.4.1	Berechnung physikalischer aus linearen Adressen.....	315
5.4.2	Seitenverwaltung mit Adreßraum-Erweiterung.....	321
5.4.3	Beschleunigung der Adreßberechnung durch einen TLB	325
5.4.4	Behandlung von Seitenfehlern	328
5.5	Schutzmechanismen.....	328
5.5.1	Schutzebenen und Zugriffsrechte	329
5.5.2	Schutzmaßnahmen bei Segmentverwaltung.....	330
5.5.3	Überprüfung der Zugriffsrechte	333

5.5.4	Schutzmaßnahmen der Seitenverwaltung.....	336
5.5.5	Kontrolltransfer	337
5.6	Prozeßverwaltung.....	342
5.6.1	Prozeß-Kontroll-Block	343
5.6.2	Deskriptor des Prozeß-Kontroll-Blocks	344
5.7	Kommunikation zwischen Prozessen.....	348
5.7.1	Kommunikation beim Segmentierungsverfahren	349
5.7.2	Kommunikation beim Seitenwechselverfahren.....	351
5.8	Ausnahmebehandlung	352
5.8.1	Interrupt-Deskriptor-Tabelle	352
5.8.2	Prozeßorientierte Ausnahmebehandlung.....	353
5.8.3	Prozedurorientierte Ausnahmebehandlung.....	354
5.8.4	<i>Trap</i> -Behandlung	356
5.9	Gesamtübersicht über die Deskriptor-Tabellen.....	358
6.	Digitale Signalprozessoren.....	361
6.1	Grundlagen der digitalen Signalverarbeitung.....	361
6.1.1	Einleitung	361
6.1.2	Aufbau eines digitalen Signalverarbeitungssystems	362
6.1.3	DSP-Einsatzbereiche	366
6.1.4	Typische DSP-Algorithmen	367
6.2	Basisarchitektur Digitaler Signalprozessoren.....	368
6.2.1	Typische Bus- und Speicherstruktur	368
6.2.2	Gebäuchliche Zahlenformate	372
6.2.3	Rechenwerke	373
6.2.4	Daten-Adreßwerke	377
6.2.5	Steuerwerk.....	381
6.2.6	DSP-spezifische Befehle	386
6.3	Exkurs: ADSP-218x von Analog Devices	389
6.3.1	Architektur	389
6.3.2	Zahlenformate	393
6.3.3	Rechenwerke	395
6.3.4	Steuerwerk.....	409
6.3.5	Speicherorganisation	425
6.3.6	Systembusschnittstelle und Anschluß externer Speicher	428
6.4	Hochleistungs-DSPs.....	431
6.4.1	DSP-Familie ADSP-2106x der Firma Analog Devices.....	433
6.4.2	VLIW-DSPs TMS320C6XXX von Texas Instruments.....	437
6.4.3	Multiprozessor-Kopplung von DSPs.....	441
	Literaturverzeichnis.....	453
	Index.....	459

Inhaltsverzeichnis zu Band II

II.1. Bussysteme	1
II.1.1 Einführung	1
II.1.2 Grundlagen zu Bussystemen.....	2
II.1.2.1 Definitionen und Klassifizierung	2
II.1.2.2 Bustopologien.....	6
II.1.2.3 Koppeleinheiten	7
II.1.3 Konzepte für Bussysteme	9
II.1.3.1 Abschätzung des Bandbreitenbedarfs.....	9
II.1.3.2 Busankopplung.....	10
II.1.3.3 Synchronisations- und Übertragungsverfahren	11
II.1.3.4 Adressierung der Buskomponenten.....	13
II.1.3.5 Buszuteilung.....	16
II.1.4 Zukünftige Entwicklung der Bussysteme	20
II.1.5 PCI-Bus.....	24
II.1.5.1 Grundlagen	24
II.1.5.2 Topologie	25
II.1.5.3 Bussignale	31
II.1.5.4 Synchronisations- und Übertragungsverfahren	31
II.1.5.5 Adressierung der Busteilnehmer	36
II.1.5.6 Zugriff zum Konfigurationsbereich.....	37
II.1.5.7 Der Konfigurationsbereich.....	39
II.1.5.8 Busanforderung und -Zuteilung	43
II.1.5.9 Weitere PCI-Bus-Signale	45
II.1.5.10 Erweiterungen des PCI-Busses.....	45
II.1.6 SCSI-Bus	51
II.1.6.1 Grundlagen	51
II.1.6.2 Topologie	52
II.1.6.3 Synchronisations- und Übertragungsverfahren	53
II.1.6.4 Adressierung der Busteilnehmer	55
II.1.6.5 Busanforderung und -Zuteilung	56
II.1.6.6 Ablauf einer Befehlsausführung.....	56
II.1.6.7 Aufbau der SCSI-Nachrichten und Statusinformation	60
II.1.6.8 Aufbau der SCSI-Befehle.....	64
II.1.6.9 SCSI-Bus Ultra160 und Ultra320.....	66

II.1.7	USB	72
II.1.7.1	Grundlagen	72
II.1.7.2	Topologie	73
II.1.7.3	Synchronisations- und Übertragungsverfahren	74
II.1.7.4	Adressierung der Busteilnehmer	75
II.1.7.5	Busanforderung und -Zuteilung	76
II.1.7.6	Kommunikation im USB	77
II.1.7.7	Struktur der USB-Software	83
II.1.7.8	Hochgeschwindigkeits-USB	87
II.1.8	IEEE-1394-Bus (FireWire).....	92
II.1.8.1	Grundlagen	92
II.1.8.2	Topologie	92
II.1.8.3	Synchronisations- und Übertragungsverfahren	94
II.1.8.4	Adressierung der Buskomponenten.....	95
II.1.8.5	Busanforderung und -Zuteilung	96
II.1.8.6	Kommunikation im FireWire	96
II.1.8.7	Struktur der FireWire-Software.....	101
II.1.9	CAN-Bus	103
II.1.9.1	Eigenschaften des CAN-Busses	104
II.1.9.2	Protokollschichten	106
II.1.9.3	Buszuteilung.....	108
II.1.9.4	Botschaftenformate	109
II.1.9.5	Sicherheit im CAN	113
II.1.9.6	Can-Buscontroller	117
II.1.9.7	Hierarchische Controller-Bussysteme	123
II.2.	Aufbau und Organisation des Arbeitsspeichers.....	127
II.2.1	Grundlagen	127
II.2.1.1	Wichtige Begriffe.....	127
II.2.1.2	Klassifizierung von Halbleiterspeichern	130
II.2.1.3	Einfache Grundlagen über Halbleiterbauelemente.....	133
II.2.2	Prinzipieller Aufbau eines Speicherbausteins	137
II.2.3	Festwertspeicher	142
II.2.3.1	Irreversibel programmierte ROMs	142
II.2.3.2	Reversibel programmierbare Festwertspeicher	147
II.2.4	Schreib-/Lese-Speicher	159
II.2.4.1	Statische RAM-Speicher	159
II.2.4.2	Dynamische RAM-Speicher.....	169
II.2.5	Weiterentwicklungen der DRAM-Bausteine	178
II.2.5.1	Entwicklung der Speicherkapazität	178
II.2.5.2	Bankadressierung	179
II.2.5.3	(Fast) Page Mode DRAMs	179
II.2.5.4	Hyper-Page Mode DRAMs	182
II.2.5.5	Burst Hyper-Page Mode DRAMs	183

II.2.5.6	Synchrones DRAM	184
II.2.5.7	DRAMs mit Zwei-Flanken-Übertragung	186
II.2.5.8	Rambus und Direct RDRAMs.....	188
II.2.6	Aufbau und Funktion von DRAM-Controllern.....	193
II.2.6.1	Auffrischlogik	193
II.2.6.2	Steuerlogik	197
II.2.6.3	ECC-Logik	199
II.2.6.4	Programmierung des DRAM-Controllers	200
II.2.7	Organisation des Arbeitsspeichers	201
II.2.7.1	Speicherbelegungsplan.....	202
II.2.7.2	Adreßauswahl.....	203
II.2.7.3	Modularer Speicheraufbau	205
II.2.7.4	Aufbau eines Speichermoduls.....	207
II.3.	Systemsteuer- und Schnittstellenbausteine	211
II.3.1	Einleitung.....	211
II.3.1.1	Klassifizierung	211
II.3.1.2	Speicherbezogene und isolierte Adressierung.....	214
II.3.1.3	Anschluß der Schnittstellenbausteine an den μ P.....	215
II.3.1.4	Aufbau der Systembausteine	216
II.3.1.5	Ein-/Ausgabe-Verfahren	219
II.3.1.6	Synchronisation der Datenübertragung	220
II.3.2	Interrupt-Controller.....	222
II.3.2.1	Einleitung.....	222
II.3.2.2	Prinzipieller Aufbau eines Interrupt-Controllers.....	223
II.3.2.3	Das Programmiermodell eines Interrupt-Controllers	225
II.3.2.4	Einsatz mehrerer Interrupt-Controller	229
II.3.2.5	Interrupt-Steuerung im PC	232
II.3.3	Direkter Speicherzugriff	236
II.3.3.1	Einleitung	236
II.3.3.2	Prinzip	238
II.3.3.3	Aufbau eines DMA-Controllers	240
II.3.3.4	Verschiedene DMA-Übertragungsarten.....	244
II.3.3.5	Unterschiedliche Datenbreite in Target und Requester	247
II.3.3.6	Register des Steuerwerks.....	248
II.3.3.7	Verkettung von DMA-Übertragungen	250
II.3.3.8	Kaskadierung von DMA-Controllern.....	251
II.3.3.9	DMA-Übertragungen über den PCI-Bus.....	252
II.3.3.10	PEC-Kanäle.....	253
II.3.4	Zeitgeber-/Zähler-Bausteine	257
II.3.4.1	Prinzipieller Aufbau eines Zeitgeber-/Zähler-Bausteins	258
II.3.4.2	Verschiedene Zählmodi.....	260
II.3.4.3	Programmiermodell.....	260
II.3.4.4	Timer-Funktionen.....	262
II.3.4.5	Zeitprozessoren	274

II.3.4.6	Fallstudie: Der Echtzeit-Uhren-Baustein HD146818	277
II.3.5	Bausteine für parallele Schnittstellen.....	279
II.3.5.1	Prinzipieller Aufbau	280
II.3.5.2	Aufbau der Ausführungseinheit	281
II.3.5.3	Fallstudie: Der PPI-Baustein 8255 von Intel	284
II.3.5.4	Anwendungsbeispiel: Centronics-Schnittstelle	290
II.3.5.5	Kommunikationsports	295
II.3.5.6	Alternative Nutzung von Parallelports	297
II.3.6	Asynchrone serielle Schnittstellen	298
II.3.6.1	Einleitung	298
II.3.6.2	Synchronisationsverfahren	299
II.3.6.3	V.24-Schnittstelle.....	302
II.3.6.4	Aufbau eines Bausteins für asynchrone Schnittstellen.....	306
II.3.6.5	Programmiermodell des ACIA-Bausteins.....	309
II.3.7	Synchrone, serielle Schnittstellen	315
II.3.7.1	Zeichenorientierte Übertragung.....	315
II.3.7.2	Bitorientierte Übertragung	319
II.3.7.3	Fallstudien für synchrone, serielle Schnittstellen	325
II.3.8	Bausteine zur A/D- und D/A-Wandlung.....	341
II.3.8.1	Digital/Analog-Wandlung.....	341
II.3.8.2	Analog/Digital-Wandlung.....	343
II.3.9	Super-I/O-Bausteine	348
II.4. Mikrocontroller	349
II.4.1	Einleitung.....	349
II.4.2	Mikrocontrollern-Eigenschaften und Einsatzgebiete	352
II.4.3	Typischer Aufbau eines Mikrocontrollers	354
II.4.3.1	Beschreibung der Komponenten	354
II.4.3.2	Steuerung der Leistungsaufnahme	360
II.4.3.3	Spezialbefehle bei Mikrocontrollern	362
II.4.3.4	Exkurs: JTAG-Test-Port	365
II.4.3.5	Exkurs: Fehlersuche in Maschinenprogrammen	372
II.4.4	Produktbeispiele.....	378
II.4.4.1	8-bit-Controller.....	378
II.4.4.2	16-bit-Controller: Siemens/Infineon C167CR.....	383
II.4.4.3	32-bit-Controller.....	384
II.4.5	Mischformen aus Mikrocontrollern und DSPs	390
II.4.5.1	DSP als Motorcontroller.....	391
II.4.5.2	Hochleistungs-DSC	393
II.4.5.3	Kombinierte Mikrocontroller-DSP-Bausteine.....	396
II.4.6	Komplexe Mikrocontroller/DSP-Anwendung	399
Literaturverzeichnis	405
Index	411

Abkürzungsverzeichnis

#	im negativen Zustand aktiv oder unmittelbares Datum
\$, 0x..., ...h	Hexadezimalzahl
^	Und
∨	Oder
≠	Antivalenz
¬	Negation
Ω	Ohm
μF	Mikrofarad
μop	Mikrooperation
μs	Mikrosekunde
μC	Mikrocontroller
μP	Mikroprozessor
μR	Mikrorechner
μRS	Mikrorechner-System
AC	Accumulator
ACK	Acknowledge
ADC, ADU	Analog/Digital Converter, Analog/Digital-Umsetzer
AF	Auxiliary Flag
AGU	Address Generation Unit
ALE	Address Latch Enable
ALU	Arithmetic (and) Logical Unit
AMD	Advanced Micro Devices
AP	Adreßpuffer
AS	Address Strobe
ASCII	American Standard Code for Information Interchange
ATC	Address Translation Cache oder Advanced Transfer Cache
AU	Address Unit
BCD	Binary Coded Decimal
BE	Byte Enable
BERR	Bus Error
BEU	Bus Exchange Unit
BG, BGR	Bus Grant
BGA	Ball Grid Array
BGACK	Bus Grant Acknowledge
BGH	Bus Grant Hung
BHT	Branch History Table

BIOS	Basic Input/Output System
BIU	Bus Interface Unit
BPC	Branch Prediction Cache
BR	Befehlsregister
BR, BRQ	Bus Request
BRT	Bus Retry
BS	Bus Size
BTB, BTC	Branch Target Buffer, Branch Target Cache
BTC, BTAC, BTIC	Branch Target (Address/Instruction) Cache
BW	Bus Width
CAM	Content Addressable Memory
CAS	Column Address Strobe
CCR	Condition Code Register oder Cache Control Register
CE	Counter Expired
CF	Carry Flag
CG	Call Gate
CISC	Complex Instruction Set Computer
CMOS	Complementary MOS
CPI	Cycles per Instruction
CPL	Current Privilege Level
CPU	Central Processing Unit
CR	Control Register
CS	Code Segment oder Chip Select
CU	Control Unit
CWP	Current Window Pointer
DAA	Decimal Adjust Addition/Accumulator
DAC, DAU	Digital/Analog Converter, Digital/Analog-Umsetzer
DAG	Data Address Generator
DBP	Datenbuspuffer
D-Cache	Data Cache
DCT	Discrete Cosine Transformation
DDR	Double Data Rate
DF	Direction Flag
DIP	Dual In-line Packages
DMA	Direct Memory Access oder
DMA, DMD	Data Memory Address Bus, Data Memory Data Bus
DPL	Descriptor Privilege Level
DRAM	Dynamic RAM
SS	Stack Segment
DS	Data Segment
DSP	Digital Signal Processor
DSV	Digitale Signalverarbeitung
DT	Double Transition
DTMF	Dual Tone Multiple Frequency
DVA	Datenverarbeitungsanlage

E/A	Eingabe/Ausgabe
EA	Effektive Adresse
EBC	External Bus Controller
ECC	Error Correcting Code
EF	Even Flag
EFR	Extended Flag Register
EM	Emulate Coprocessor Flag
EN	Enable
EPL	Effective Privilege Level
EPROM	Electrically Programmable Read-Only Memory
EQ	Equal
ET	Extension Flag
FC, FCO	Function Code, Function Code Output
FFT	Fast Fourier Transformation
FIFO	First in, first out
FIR	Finite Impulse Response
FPU	Floating-Point Unit
G..	Giga
GDT, GDTR	Global Descriptor Table, -Register
GND	Ground
GP	General Protection Exception
GPIO	General Purpose Input/Output
GPR	General Purpose Register
GT	Greater Than
H-..	High
HHL	High-Level Language
HIP	Host Interface Port
Hz	Hertz
i.d.R.	In der Regel
I/O	Input/Output
IC	Integrated Circuit
I-Cache	Instruction Cache
ICU	Instruction Control Unit
IDT	Interrupt Descriptor Table
IE	Interrupt Enable
IEEE	Institute of Electrical and Electronics Engineers
IF	Interrupt Flag
IIR	Infinite Impulse Response
INT	Interrupt
IP, EIP	Instruction Pointer, Extended Instruction Pointer
IPC	Instructions per Cycle
IPL	Interrupt Priority Level
IRQ	Interrupt Request
ISDN	Integrated Services Data Network
ISSE	Internet Streaming SIMD Extension

IU, IEU	Integer Unit, Integer Execution Unit
IVN	Interrupt Vector Number
JTAG	Joint Test Action Group
k..	Kilo
L-..	Low
L1/L2	Level-1/Level-2
LDT, LDTR	Local Descriptor Table, -Register
LIFO	Last in, first out
LRU	Least Recently Used
LSB	Least Significant Bit/Byte
LT	Less Than
M..	Mega
M.E.S.I.	Modified, Exclusive, Shared, Invalid
MAC	Multiply-Accumulate
MCM	Multi-Chip Module
MFV	Mehrfrequenz-Wählverfahren
MIMD	Multiple Instructions – Multiple Data
MIPS	Million Instructions per Cycle
MMAC	Mega-MAC
MMU	Memory Management Unit
MMX	Multi-Media Extension
mod	modulo
MOS	Metaloxide Semiconductor
MP	Monitor Coprocessor Flag
MPSStW	Mikroprogramm-Steuerwerk
MPU	Micro Processing Unit
MSB	Most Significant Bit/Byte
MSW	Machine Status Word, Maschinenstatuswort
MT	Megatransfers
MUX	Multiplexing
NA	Next Address
NaN	Not a Number
NCA	Non Cacheable Access
NMI	Non Maskable Interrupt
NOP	No Operation
OF	Overflow Flag
OnCE	On-Chip Emulation
op	Operation
OS	Operating System
PAE	Physical Address Extension
PC	Personal Computer oder Program Counter
PCD	Page-Level Cache Disable
PCI	Peripheral Connect Interface
PDBR	Page Directory Base Register
PDE	Page Directory Entry

PE	Protection Enable Flag
PF	Parity Flag oder Page Fault
PG	Paging Enable
PL	Privilege Level
PLCC	Plastic Leadless Carrier Chip
PMA, PMD	Program Memory Address Bus, Program Memory Data Bus
POR	Power on Reset
PS, PSE	Page Size, Page Size Enable
PTE	Page Table Entry
PWT	Page-Level Write-Through
R/W	Read/Write
RAM	Random Access Memory
RAS	Row Address Strobe
RAS	Return Address Cache
RAT	Register Allocation Table
RD	Read
reg, dreg	Register, Data Register
REQ	Request
RISC	Reduced Instruction Set Computer
ROB	Reorder Buffer
ROM	Read-Only Memory
RPL	Requested Privilege Level
RTI	Return from Interrupt
SF	Sign Flag
SFR	Special Function Register
SIM	System Integration Module
SIMD	Single Instruction – Multiple Data
SMP	Symmetrical Multi-Processing
SMT	Surface Mount Technology
SP, ESP	Stack Pointer, Extended Stack Pointer
SRAM	Static RAM
SSM	System Management Mode
SVC	Supervisor Call
SWI	Software Interrupt
SWP	Saved Window Pointer
TAS	Test and Set
TEC	Trace Execution Cache
TI	Table Indicator oder TEXAS INSTRUMENTS
TLB	Translation Lookaside Buffer
TOP	Top of Stack
TR	Task Register
TS	Task Switched Flag
TSS	Task State Segment
U/S	User/Supervisor
VLIW	Very Long Instruction Word

VLSI	Very Large Scale Integration
VMA	Valid Memory Address
WB	Write Back
WR	Write
WS	Wait State
WT	Write Through
XMM	Extended Multi-Media
z.T.	zum Teil
ZF	Zero Flag